

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-335972

(43)Date of publication of application : 17.12.1993

(51)Int.Cl.

H03M 13/12
H04L 25/08

(21)Application number : 04-160437

(71)Applicant : NEC CORP

(22)Date of filing : 27.05.1992

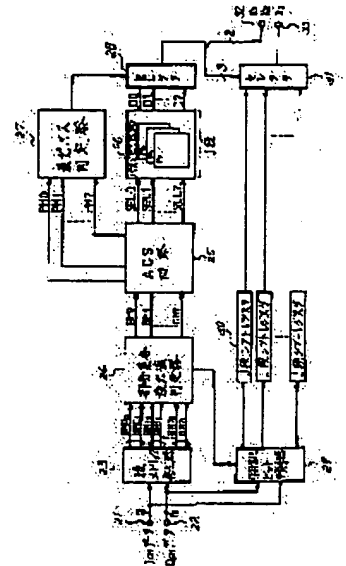
(72)Inventor : TODOROKI TOSHIYA

(54) VITERBI DECODER

(57)Abstract:

PURPOSE: To provide a Viterbi decoder easily compatible with multi-value processing without increasing the circuit scale.

CONSTITUTION: Each output of a non-coding bit discrimination device 29 is stored tentatively in a j-stage shift register 30. A path memory circuit 26 is made up of three plane structure comprising a memory P0 obtaining an estimate value of a redundant bit, and memories P1, P2 to obtain an estimate value of coding bits, and a selector 28 selects a relevant path selected by the path memory circuit 26. Furthermore, a selector 31 selects a relevant output of the j-stage shift register 30 according to the output of the selector 28. Decoded data are formed by an output of the selector 28 and an output of the selector 31.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-335972

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl.⁵

H 0 3 M 13/12

H 0 4 L 25/08

識別記号

庁内整理番号

F I

技術表示箇所

7259-5 J

B 8226-5K

審査請求 未請求 請求項の数 1(全 11 頁)

(21)出願番号 特願平4-160437

(22)出願日 平成4年(1992)5月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 轟 俊哉

東京都港区芝五丁目7番1号 日本電気株式会社社内

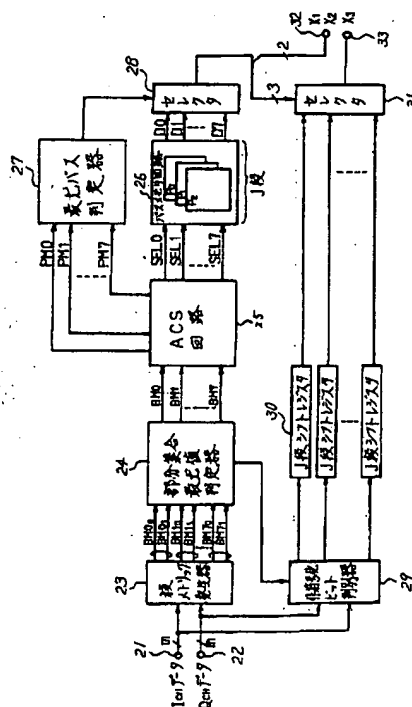
(74)代理人 弁理士 八幡 義博

(54)【発明の名称】 ビタビ復号器

(57)【要約】

【目的】 回路規模を増大させずに高多値化に容易に対応できるビタビ復号器を提供する。

【構成】 非符号化ビット判別器2.9の各出力はj段シフトレジスタ3.0に一時記憶する。パスメモリ回路2.6は冗長ビットの推定値を求めるためのメモリP0、符号化ビットの推定値を求めるためのメモリP1、P2の3面構造とし、セレクタ2.8はパスメモリ回路において選択されたパスの該当するものを選択する。また、セレクタ3.1はセレクタ2.8の出力に従ってj段シフトレジスタの該当するものの出力を選択する。セレクタ2.8の出力とセレクタ3.1の出力とで復号データを構成する。



【特許請求の範囲】

【請求項1】 帰還型たたみ込み符号器にて誤り訂正符号化した情報シンボル列を直交振幅変調方式により送信する通信方式の受信側において誤り訂正復号化を行うビタビ復号器であって； このビタビ復号器は、直交検波復調信号を受けて受信シンボル点と各送信シンボル点との距離を求める枝メトリック発生器と； 前記枝メトリック発生器の出力を受けて各部分集合の代表値を決定する部分集合最尤値判定器と； 前記枝メトリック発生器の出力に含まれる非符号化ビットを前記部分集合最尤値判定器から与えられる各部分集合のどの信号点を選択したかの情報に基づき判別しそれらを出力する非符号化ビット判別器と； 前記非符号化ビット判別器の各出力をそれぞれ一定期間保持するレジスタ群と； 前記部分集合最尤値判定器が選択した各部分集合の代表値と、前記帰還型たたみ込み符号器で規定される全ての状態遷移とを対応させ、1つの状態と遷移結合する幾つかの状態がそれぞれ保持している過去の累積値と前記選択指定された各代表値との加算をそれぞれ行い、最も大きい加算値をその状態のパスメトリックとして選択するACS回路と； 前記ACS回路が各状態毎に選択したパス情報に従い、冗長ビットを推定するためのパスメモリ及び符号化ビットを推定するためのパスメモリ群におけるパスセレクトを行うパスメモリ回路と； 前記ACS回路が各状態毎に保持しているパスメトリックから現時点の最尤パス情報を求める最尤パス判定器と； 前記パスメモリ回路において選択されたパスの最も過去の値を前記最尤パス判定器の判定情報に従い選択する第1のセレクトと； 前記第1のセレクトの出力情報に従って前記シフトレジスタ群の該当するものを選択する第2のセレクトと； を備え、前記第1及び第2のセレクトの出力を復号データとする； ことを特徴とするビタビ復号器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、帰還型たたみ込み符号器にて誤り訂正符号化した情報シンボル列を直交振幅変調方式により送信する通信方式の受信側において誤り訂正復号化を行うビタビ復号器に関する。

【0002】

【従来の技術】 デジタル通信では、従来、誤り訂正符号化と変調方式とは別個独立に考えられていたが、近年、誤り訂正技術と変復調技術とを融合した符号化変調技術が提案された (Ungerboeck: "Channel coding with multilevel/phase signal", IEEE Transactions on information theory, Vol. IT-28, No. 1, Jan. 1982)。

【0003】 上記文献で紹介された符号化変調技術は、形式的には、帰還型たたみ込み符号器にて誤り訂正符号化した情報シンボル列を直交振幅変調する方式であるが、2次元信号点配置に工夫を凝らしたものである。

【0004】 即ち、帰還型たたみ込み符号器では、Nビ

ットの情報シンボルに対し符号器内の有限状態メモリの状態に基づき1ビットの冗長性を付加してN+1ビットのシンボルへ変換する誤り訂正符号化が行われる。従って、このN+1ビットを直交振幅変調すると、 2^{N+1} 個の信号点が得られる。つまり、各シンボルのN+1ビットは、2次元に配列された 2^{N+1} 個の信号点の1つへ写像される。

【0005】 このとき、上記文献によれば、 2^{N+1} 個の信号点は、任意の2個の信号点間のユークリッド距離よりも部分集合に属する2個の信号点間のユークリッド距離が大きくなるような集合分割がなされて配置されるが、これは、帰還型たたみ込み符号器の有限状態メモリの状態遷移を利用して、幾つかの系列のみが有効となるように状態間の遷移に応じて対応する部分集合を選択することで実現する。従って、この符号化変調技術では、2次元信号点の配置を規定するまでの過程が誤り訂正符号化の過程であるといえることができる。

【0006】 具体的に言えば、送信側では、情報シンボルが3ビットであれば、例えば符号化率 $2/3$ 、状態数8の帰還型たたみ込み符号器 (図3に示すように、この符号器は3つのレジスタ41と2つの排他的論理和回路42で構成される。) に入力3ビットのシンボル (x_1 、 x_2 、 x_3) に1ビットの冗長ビットを付加した4ビットのシンボル (y_0 、 y_1 、 y_2 、 y_3) を得、これを図4に示す16値直交振幅変調 (16QAM) の信号点配置に従って写像し変調して送信することになる。

【0007】 なお、図3から明らかなように、符号器の出力は、 y_0 が冗長ビット、 $x_1(=y_1)$ と $x_2(=y_2)$ が符号器の状態遷移に影響を与える符号化ビット、 $x_3(=y_3)$ が符号器の状態遷移に影響を与えない非符号化ビットである。図3の右側端には8つの状態 ($S_0 \sim S_7$) と各レジスタの値 ($i_0 \sim i_3$) との関係を示してある。また、図4に示す16個の信号点における上記部分集合は、 $A = \{a, a'\}$ 、 $B = \{b, b'\}$ 、 $C = \{c, c'\}$ 、 $D = \{d, d'\}$ 、 $E = \{e, e'\}$ 、 $F = \{f, f'\}$ 、 $G = \{g, g'\}$ 、 $H = \{h, h'\}$ とする。

【0008】 さて、上記文献によれば、このように符号化された信号系列の復号は、最尤復号法として知られているビタビアルゴリズムを利用できるとされている。しかし、上記文献ではビタビ復号器の具体的な構成方法についての言及はない。そこで、図3及び図4に例示する方式で符号化され変調された信号を一般的な構成方法によるビタビ復号器 (図8) にて復号することを検討し、最適な復号器の構成を得る手立てとする。

【0009】 ビタビ復号器は、一般に図8に示すように、枝メトリック発生器23と、部分集合最尤値判定器24と、ACS回路25と、最尤パス判定器27と、非符号化ビット判別器29と、セレクト28と、パスメモリ回路86とで基本的に構成される。

1-1, 2, 4

【0010】2つの入力端子(21、22)に印加される2系列の信号(I_a (1チャンネル)データ、 Q_a (Qチャンネル)データ)は、直交同期検波された2系列の復調信号それぞれの振幅値をmビットで量子化したものである。これは、枝メトリック発生器23と非符号化ビット判別器29とに入力する。

【0011】枝メトリック発生器23では、 I_a データと Q_a データとを受けて受信シンボル点と各送信シンボル点との距離(枝メトリック)を求める。例えば、送信されたあるシンボルが伝送路の雑音により誤った結果、直交同期検波したときの受信シンボル点が図5に示すようにR点に位置したとすると、枝メトリック発生器23では、この受信シンボル点Rと各送信シンボル点(a 、 a' 、 b 、 b' 、 c 、 c' 、 d 、 d' 、 e 、 e' 、 f 、 f' 、 g 、 g' 、 h 、 h')との枝メトリック($BM0$ 、 $BM0$ 、 $BM1$ 、 $BM1$ 、 $BM2$ 、 $BM2$ 、 $BM3$ 、 $BM3$ 、 $BM4$ 、 $BM4$ 、 $BM5$ 、 $BM5$ 、 $BM6$ 、 $BM6$ 、 $BM7$ 、 $BM7$)を求める。

【0012】なお、枝メトリックとは、ユークリッド距離相当のものであり、ユークリッド距離が大きくなるほど小さな値となるものである。

【0013】部分集合最尤値判定器24では、部分集合($BM0$ 、 $BM0$)、同($BM1$ 、 $BM1$)、同($BM2$ 、 $BM2$)、同($BM3$ 、 $BM3$)、同($BM4$ 、 $BM4$)、同($BM5$ 、 $BM5$)、同($BM6$ 、 $BM6$)、同($BM7$ 、 $BM7$)において値が大きい方を求め、 $BM0 \sim BM7$ を決定しACS回路25へ出力する。また、各部分集合で選択したシンボルの情報を非符号化ビット判別器29へ出力する。

【0014】非符号化ビット判別器29では、部分集合最尤値判定器24からの選択シンボル情報に基づき、 I_a データと Q_a データから選択された信号点の非符号化ビットを抽出しバスメモリ回路86へ与える。

【0015】なお、今の例では、非符号化ビットは y_i であるが、ここで抽出される非符号化ビットは数式1と表記される。これは、 $i = \{A, B, C, D, E, F, G, H\}$ としたとき、部分集合iの非符号化ビットの代表値を表す。

【0016】

【数1】

$$\hat{y}_i$$

【0017】次に、ACS回路25では部分集合最尤値判定器24が選択した各部分集合の代表値($BM0 \sim BM7$)と、図3に示した帰還型たたみ込み符号器で規定される全ての状態遷移とを対応させ、8つの状態($S_0 \sim S_7$)における1つの状態と遷移結合する幾つかの状態がそれぞれ保持している過去の累積値と前記選択指定された各代表値($BM0 \sim BM7$)との加算をそれぞれ行い、最も大きい加算値をその状態のバスメトリック($PM0 \sim PM7$)として選択する一方、8つの状態($S_0 \sim S_7$)のそれぞれに対応するセレクト信号($SEL0 \sim SEL7$)を形成す

る。

【0018】このACS回路は、具体的には、図6に示すように構成される。図6は、状態 S_0 におけるバスメトリック $PM0$ 及びセレクト信号 $SEL0$ を求める回路を示している。以下、図6に従って説明する。

【0019】図6において、状態 S_0 のバスメトリック $PM0$ に関し、部分集合最尤値判定器24から入力する $BM0 \sim BM7$ の内 $BM0$ 、 $BM4$ 、 $BM2$ 、 $BM6$ と、4つのバスメトリック保持回路51の出力値である状態(S_0 、 S_1 、 S_4 、 S_5)のバスメトリック($PM0$ 、 $PM2$ 、 $PM4$ 、 $PM6$)の対応するものとを4つの加算器5.2の対応するもので加算し、比較器53で最大の状態バスメトリックを求め、その情報を再び状態 S_0 のバスメトリック保持回路51に格納する。また、比較器53で得られたセレクト信号 $SEL0$ をバスメモリ回路8.6に出力する。

【0020】なお、同時刻における他の状態($S_1 \sim S_7$)のバスメトリック($PM1 \sim PM7$)及びセレクト信号($SEL10 \sim SEL7$)は、図6に示したのと同様の構成で求められる。但し、各加算器52に入力される4組は以下の通りである。状態 S_1 では($PM0$ 、 $BM4$)($PM2$ 、 $BM0$)($PM4$ 、 $BM6$)($PM6$ 、 $BM2$)。状態 S_2 では($PM0$ 、 $BM2$)($PM2$ 、 $BM6$)($PM4$ 、 $BM0$)($PM6$ 、 $BM4$)。状態 S_3 では($PM0$ 、 $BM6$)($PM2$ 、 $BM4$)($PM4$ 、 $BM2$)($PM6$ 、 $BM0$)。状態 S_4 では($PM1$ 、 $BM1$)($PM3$ 、 $BM5$)($PM5$ 、 $BM3$)($PM7$ 、 $BM7$)。状態 S_5 では($PM1$ 、 $BM5$)($PM3$ 、 $BM1$)($PM5$ 、 $BM7$)($PM7$ 、 $BM3$)。状態 S_6 では($PM1$ 、 $BM3$)($PM3$ 、 $BM7$)($PM5$ 、 $BM1$)($PM7$ 、 $BM5$)。状態 S_7 では($PM1$ 、 $BM7$)($PM3$ 、 $BM3$)($PM5$ 、 $BM5$)($PM7$ 、 $BM1$)。

【0021】バスメモリ回路8.6は、 y_1 の推定値(数式2と表記)を求めるためのメモリP1と、 y_2 の推定値(数式3と表記)を求めるためのメモリP2と、 y_3 の推定値(数式4と表記)を求めるためのメモリP3との3面構成を取り、各々初段の入力値が異なるのみで構成は同一である。

【0022】

【数2】

$$\hat{y}_1$$

【0023】

【数3】

$$\hat{y}_2$$

【0024】

【数4】

$$\hat{y}_3$$

【0025】即ち、図9に示すように、ACS回路25からのセクタ信号($SEL0$ 、 $SEL1$ 、……、 $SEL7$)に従って希望の信号を選択するセクタ91とこのセクタ91の出力を格納するレジスタ92とのj段で構成されるが、初段のセクタ91の入力は、メモリP1では初期

値(0011)、メモリP2では初期値(0101)、メモリP3ではS。～Sの各状態に対応した前記非符号化ビットであり、2段目以降のセクタ91の入力は前段の4つのレジスタ92の出力となっている。そして、終段(j段目)のレジスタ92の出力は、メモリP1ではD0。～D7の各状態、メモリP2ではD0。～D7の各状態、メモリP3ではD0。～D7の各状態となる。各セクタ及び各レジスタの動作はシンボル時間内に同時平行的に行われる。

【0026】最尤バス判定器27は、ACS回路25においてあるシンボル時間内に得られたPM0, PM1, …, PM7の中で最も大きいものを判定し、その情報をセクタ28に出力する。

【0027】セクタ28は、最尤バス判定器27の出力判定情報に基づき、バスメモリ回路8.6の各メモリのj段目のレジスタ92の出力値(D0, D1, …, D7)の中から該当するものを選択出力する。この出力値が送信データ(y₃, y₂, y₁)の推定値(前記数式4、同3、同2)であり、求める復号データ(数式5、同6、同7)である。

【0028】

【数5】

$$\hat{x}_3(=\hat{y}_3)$$

【0029】

【数6】

$$\hat{x}_2(=\hat{y}_2)$$

【0030】

【数7】

$$\hat{x}_1(=\hat{y}_1)$$

【0031】なお、上記動作は受信シンボルが入力端子(21、22)から入力する毎に繰り返行われ、復号データ(前記数式5～同7)は受信シンボルが入力端子(21、22)に入力してからjシンボル時間後に得られる。

【0032】

【発明が解決しようとする課題】上述したように、帰還型たたみ込み符号器にて誤り訂正符号化した情報シンボル列を直交振幅変調方式により送信する通信方式の受信側において誤り訂正復号化を行うビタビ復号器を一般的な構成方法により構成した場合、バスメモリ回路において非符号化ビットを推定することになっているので、多くの情報を送るため帰還型たたみ込み符号器を固定して2次元信号点配置上の信号点を増加させると増加した非符号化ビットの数分のメモリを追加する必要がある。

【0033】つまり、上述した従来の構成法では、バスメモリ回路の回路規模が非符号化ビットの数に応じて変動し、多値数の増加と共に回路規模が増大する構成であ

るので、LSI化を行う上でコストと実現性が問題となる。

【0034】本発明の目的は、回路規模を増大させることなく多値数を増加させ得るビタビ復号器を提供することにある。

【0035】

【課題を解決するための手段】前記目的を達成するために、本発明のビタビ復号器は次の如き構成を有する。即ち、本発明のビタビ復号器は、帰還型たたみ込み符号器にて誤り訂正符号化した情報シンボル列を直交振幅変調方式により送信する通信方式の受信側において誤り訂正復号化を行うビタビ復号器であって、このビタビ復号器は、直交検波復調信号を受けて受信シンボル点と各送信シンボル点との距離を求める枝メトリック発生器と、

前記枝メトリック発生器の出力を受けて各部分集合の代表値を決定する部分集合最尤値判定器と、前記枝メトリック発生器の出力に含まれる非符号化ビットを前記部分集合最尤値判定器から与えられる各部分集合のどの信号点を選択したかの情報に基づき判別しそれらを出力する非符号化ビット判別器と、前記非符号化ビット判別器の各出力をそれぞれ一定期間保持するレジスタ群と、前記部分集合最尤値判定器が選択した各部分集合の代表値と、前記帰還型たたみ込み符号器で規定される全ての状態遷移とを対応させ、1つの状態と遷移結合する幾つかの状態がそれぞれ保持している過去の累積値と前記選択指定された各代表値との加算をそれぞれ行い、最も大きい加算値をその状態のバスメトリックとして選択するACS回路と、前記ACS回路が各状態毎に選択したバス情報に従い、冗長ビットを推定するためのバスメモリ及び符号化ビットを推定するためのバスメモリ群におけるバスセレクトを行うバスメモリ回路と、前記ACS回路が各状態毎に保持しているバスメトリックから現時点の最尤バス情報を求める最尤バス判定器と、

前記バスメモリ回路において選択されたバスの最も過去の値を前記最尤バス判定器の判定情報に従い選択する第1のセクタと、前記第1のセクタの出力情報に従って前記シフトレジスタ群の該当するものを選択する第2のセクタと、を備え、前記第1及び第2のセクタの出力を復号データとする、ことを特徴とするものである。

【0036】

【作用】次に、前記の如く構成される本発明のビタビ復号器の作用を説明する。本発明では、バスメモリ回路を冗長ビットを推定するためのバスメモリ及び符号化ビットを推定するためのバスメモリ群におけるバスセレクトを行うように構成し、非符号化ビット判別器が出力する非符号化ビットをシフトレジスタ群で一定期間保持するようにし、バスメモリ回路において選択されたバスの該当するものを選択する第1のセクタ(一般的な構成法におけるもの)の出力とこの第1のセクタの出力に従

って前記シフトレジスタ群の該当するものの出力を選択する第2のセクタの出力とで復号データを構成するようにしてある。

【0037】従って、パスメモリ回路では一般的な構成法では必要であった非符号化ビットに対するパスメモリを削除してあるので、回路の小型化が図れる。また、非符号化ビットを増やして多値数を増加させる場合でもシフトレジスタの個数を増やすことで容易に対応でき、LSI化が容易となり、回路規模を増大させずに高多値化に対応できる。

【0038】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1は本発明のビタビ復号器の一般的な構成を示し、図2は本発明の一実施例に係るビタビ復号器を示す。本実施例回路は、図8の場合と同様に、図3に示した帰還型たたみこみ符号器の出力(y_0 、 y_1 、 y_2 、 y_3)を図4に示した16QAMの信号点配置に従って写像し変調したものに対する回路であり、受信シンボル点は図5に示したR点にある。従って、図8と同一構成部分に同一符号を付してある。以下、本発明に係る部分を中心に説明する。

【0039】本発明では、パスメモリ回路26に若干の修正を加えると共に、シフトレジスタ群(j段シフトレジスタ)30と(第2の)セクタ31とを設けてある。

【0040】非符号化ビット判別器29の各出力はj段シフトレジスタ30に一時記憶保持され、セクタ31に出力される。

【0041】また、パスメモリ回路26は、冗長ビット y_0 の推定値(数式8と表記)を求めるためのメモリP0、符号化ビット y_1 の推定値(前記数式2)を求めるためのメモリP1、符号化ビット y_2 の推定値(前記数式3)を求めるためのメモリP2の3面構成をとり、各々初段の入力値が異なるのみで構成は同一である。

【0042】

【数8】

$$\hat{y}_0$$

【0043】即ち、図7に示すように、パスメモリ回路は、ACS回路25からのセクタ信号(SEL_0 、 SEL_1 、……、 SEL_7)に従って希望の信号を選択するセクタ61とこのセクタ61の出力を格納するレジスタ62とのj段で構成されるが、初段のセクタ61の入力は、メモリP0では状態(S_0 、 S_1 、 S_2 、 S_3)が初期値(0000)、状態(S_4 、 S_5 、 S_6 、 S_7)が初期値(1111)であり、メモリP1では状態(S_0 、 S_1)が初期値(0011)、状態(S_2 、 S_3)が初期値(1100)であり、メモリP2では状態 S_0 と同(S_1 、 S_2 、 S_3)が初期値(0101)、状態 S_4 が初期値(1111)である。2段目以降のセクタ61の

入力の前段の4つのレジスタ62の出力となっている。そして、終段(j段目)のレジスタ62の出力は、メモリP0では D_0 、 D_1 の各状態、メモリP1では D_0 、 D_1 の各状態、メモリP2では D_0 、 D_1 の各状態となる。各セクタ及び各レジスタの動作はシンボル時間内に同時平行的に行われることは前述した通りである。

【0044】(第1の)セクタ28は、前述したように、最尤パス判定器27の出力判定情報に基づき、パスメモリ回路26の各メモリj段目のレジスタ62の出力値(D_0 、 D_1 、……、 D_7)の中から該当するものの3ビットを選択し並列出力する。この動作は図8の場合と同様であるが、本発明では、その3ビットがセクタ31に制御信号として与えられる。

【0045】即ち、セクタ31は、セクタ28の出力をセレクト信号として用い、j段シフトレジスタ30の各々の最終段の出力値の該当するものを選択する。

【0046】このセクタ31の出力値とセクタ28の出力値が送信データ(y_0 、 y_1 、 y_2 、 y_3)の推定値(前記数式8、同2～同4)であり、求める復号データ(前記数式7、同6、同5)である。

【0047】なお、上記動作は前述したように、受信シンボルが入力端子(21、22)から入力する毎に繰り返行われ、復号データ(前記数式5～同7)は受信シンボルが入力端子(21、22)に入力してからjシンボル時間後に得られる。

【0048】

【発明の効果】以上説明したように、本発明のビタビ復号器によれば、パスメモリ回路を冗長ビットを推定するためのパスメモリ及び非符号化ビットを推定するためのパスメモリ群におけるパスセレクトを行うように構成し、非符号化ビット判別器が出力する非符号化ビットをシフトレジスタ群で一定期間保持するようにし、パスメモリ回路において選択されたパスの該当するものを選択する第1のセクタ(一般的な構成法におけるもの)の出力とこの第1のセクタの出力に従って前記シフトレジスタ群の該当するものの出力を選択する第2のセクタの出力とで復号データを構成するようにしたので、パスメモリ回路では一般的な構成法では必要であった非符号化ビットに対するパスメモリを削除でき、回路の小型化が図れる。また、非符号化ビットを増やして多値数を増加させる場合でもシフトレジスタの個数を増やすことで容易に対応でき、LSI化が容易となり、回路規模を増大させずに高多値化に対応できる。そして、多値数の増加と共にパスメモリの削除効果が一層顕著に表れる。

【図面の簡単な説明】

【図1】本発明のビタビ復号器の一般的な構成ブロック図である。

【図2】本発明の一実施例に係るビタビ復号器の構成ブロック図である。

【図3】符号化率2/3、8状態の帰還型たたみこみ符

号器の構成ブロック図である。

【図4】16QAM方式の信号点配置図及び図3の符号器の出力値の写像の説明図である。

【図5】受信シンボル点Rと各送信シンボル点との枝メトリックの説明図である。

【図6】ACS回路の状態S₀のパスメトリックを求める回路図である。

【図7】本発明の一実施例に係るビタビ復号器で用いるパスメモリ回路の構成ブロックである。

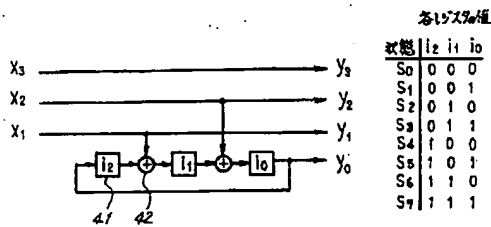
【図8】従来の一般的な構成法によるビタビ復号器の構成ブロック図である。

【図9】従来の一般的な構成法によるビタビ復号器で用いるパスメモリ回路の構成ブロックである。

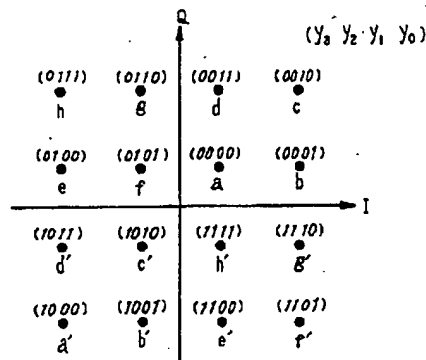
【符号の説明】

- 3, 23 枝メトリック発生器
- 4, 24 部分集合最尤値判定器
- 5, 25 ACS回路
- 6, 26 パスメモリ回路
- 7, 27 最尤パス判定器
- 28, 31 セレクタ
- 29 非符号化ビット判別器
- 30 j 段シフトレジスタ

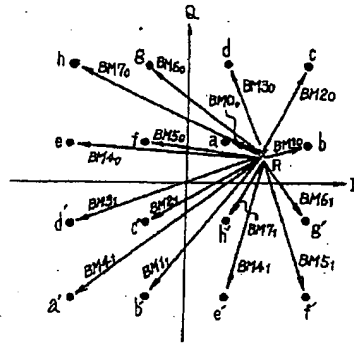
【図3】



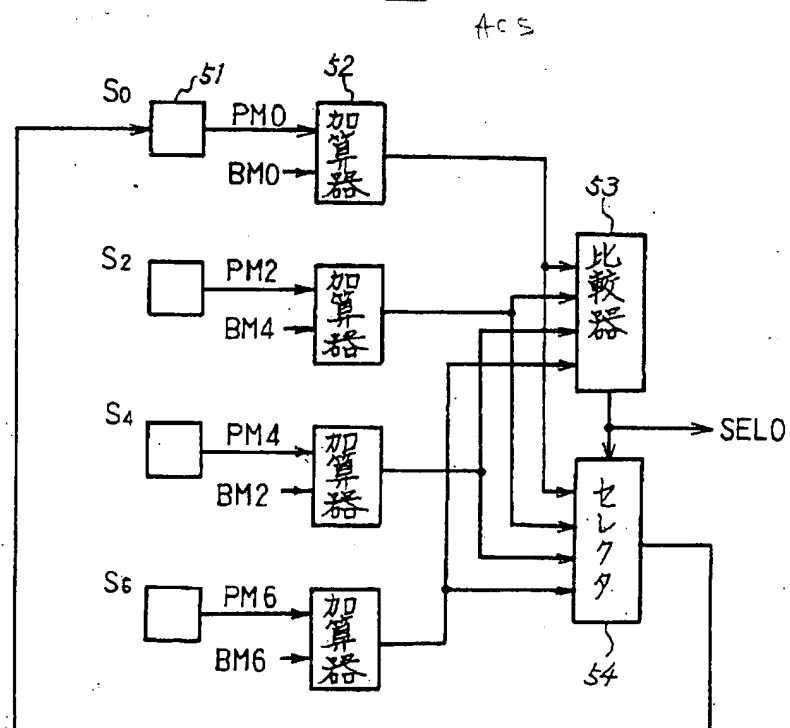
【図4】



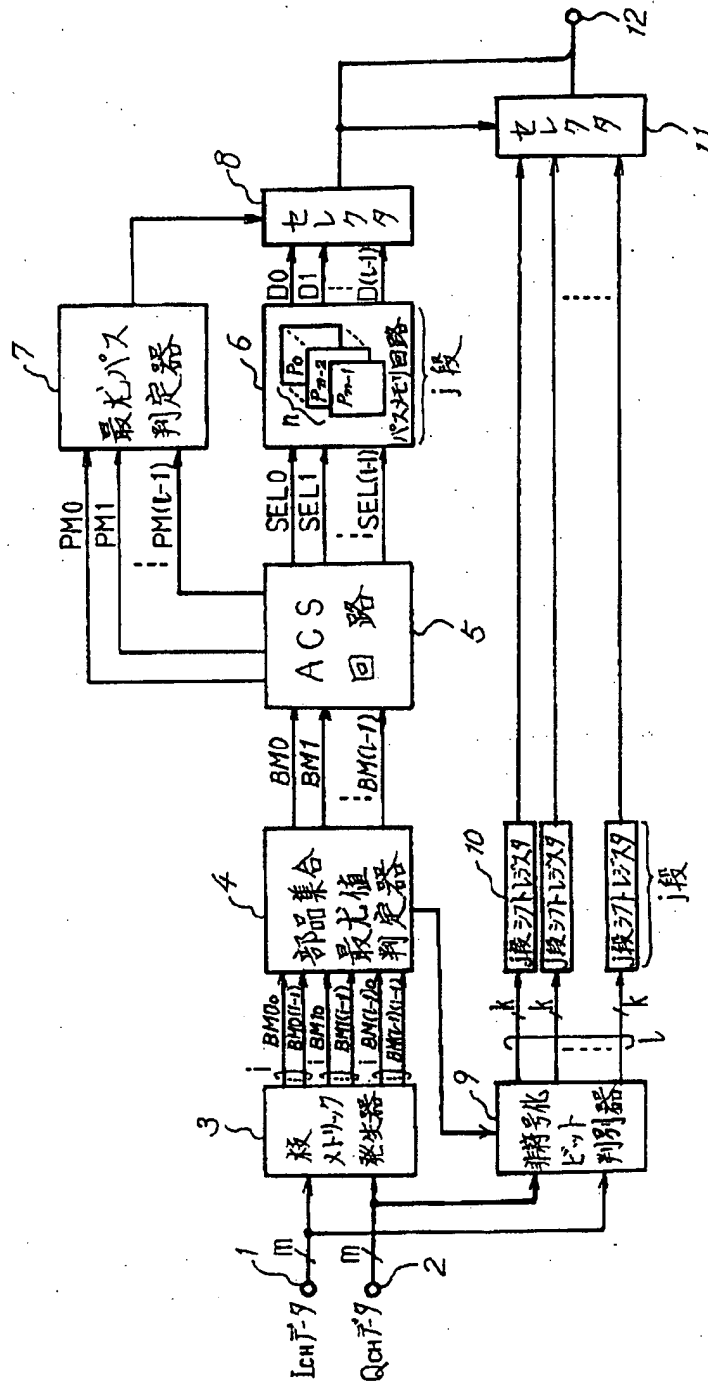
【図5】



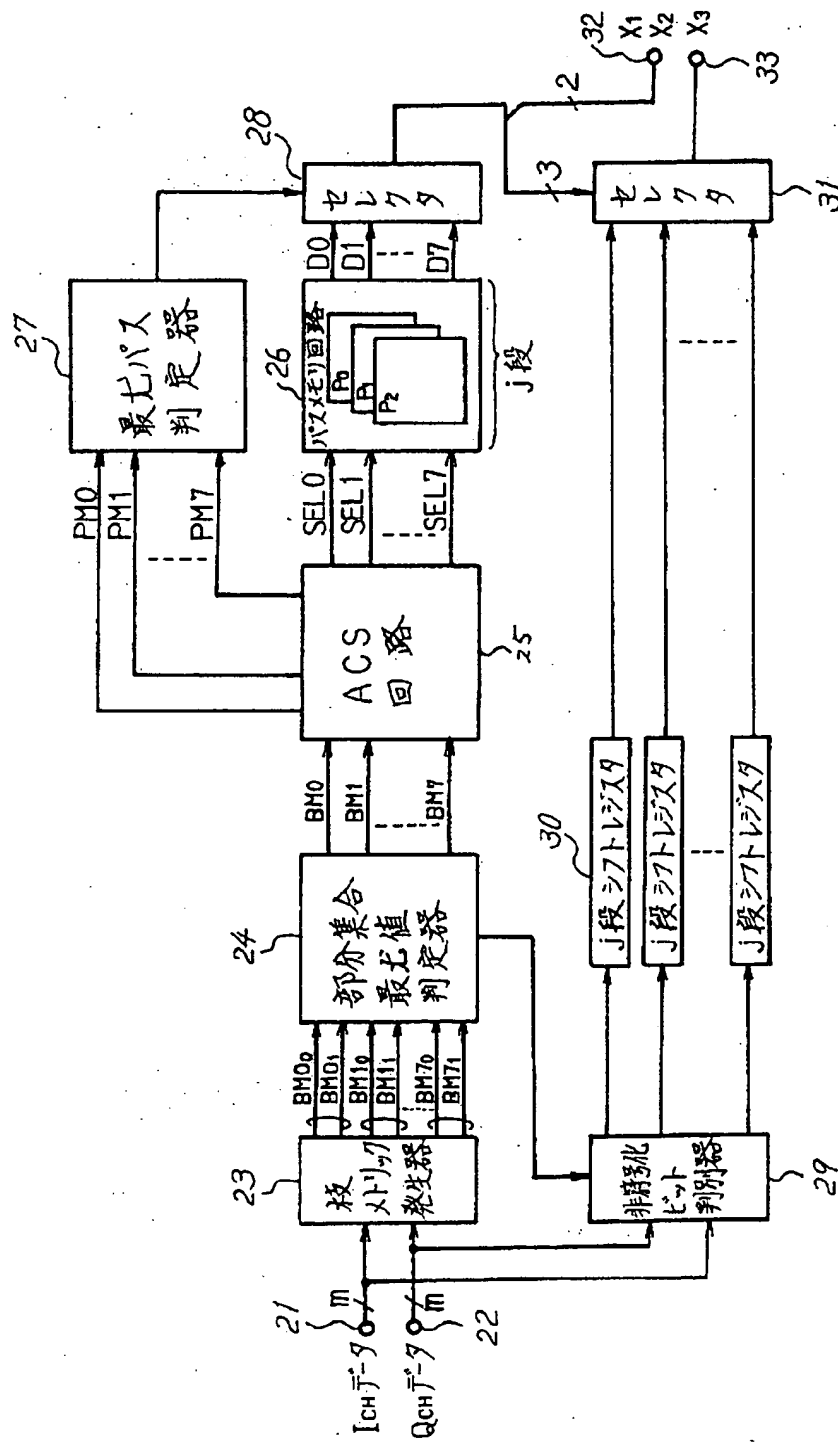
【図6】



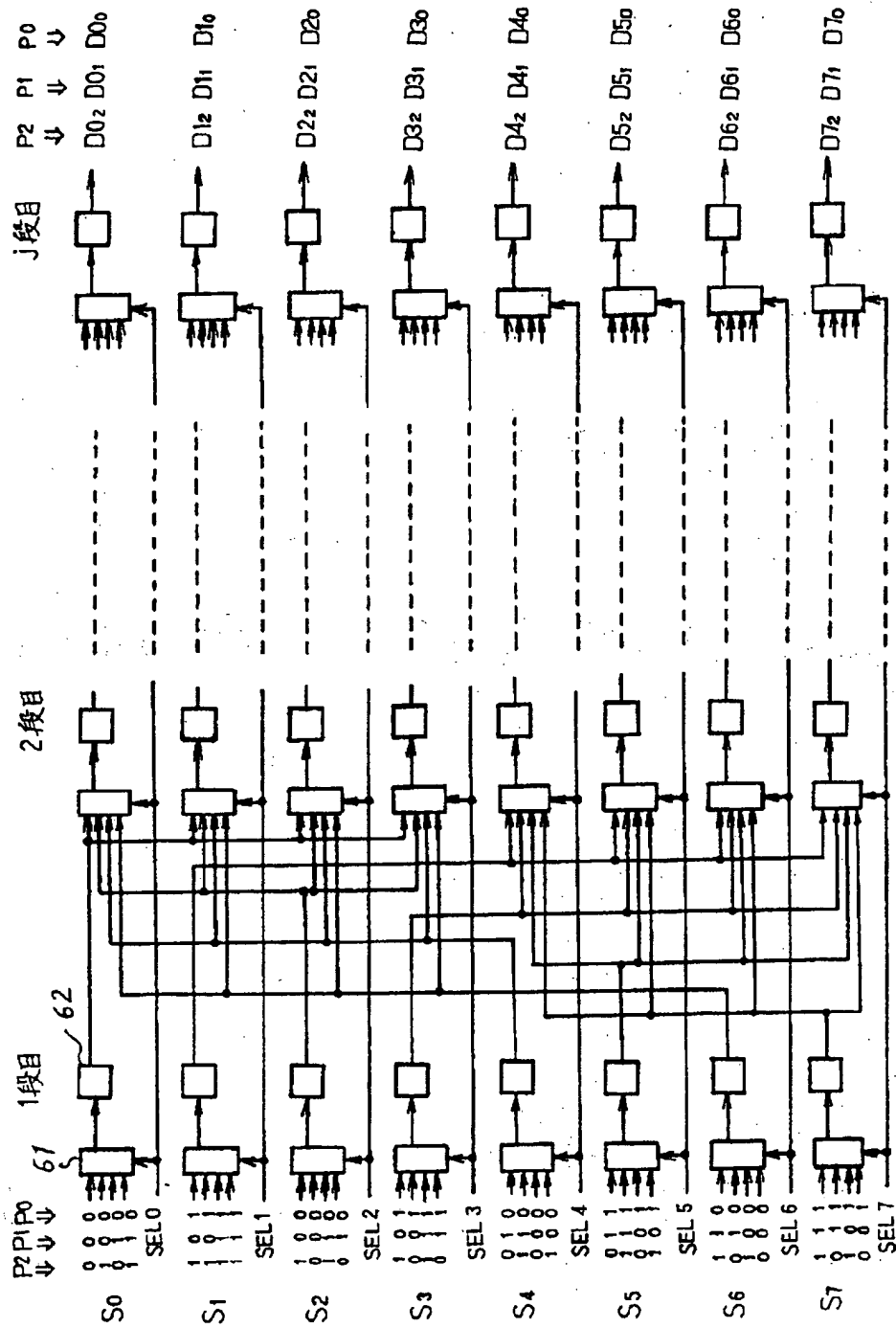
【図1】



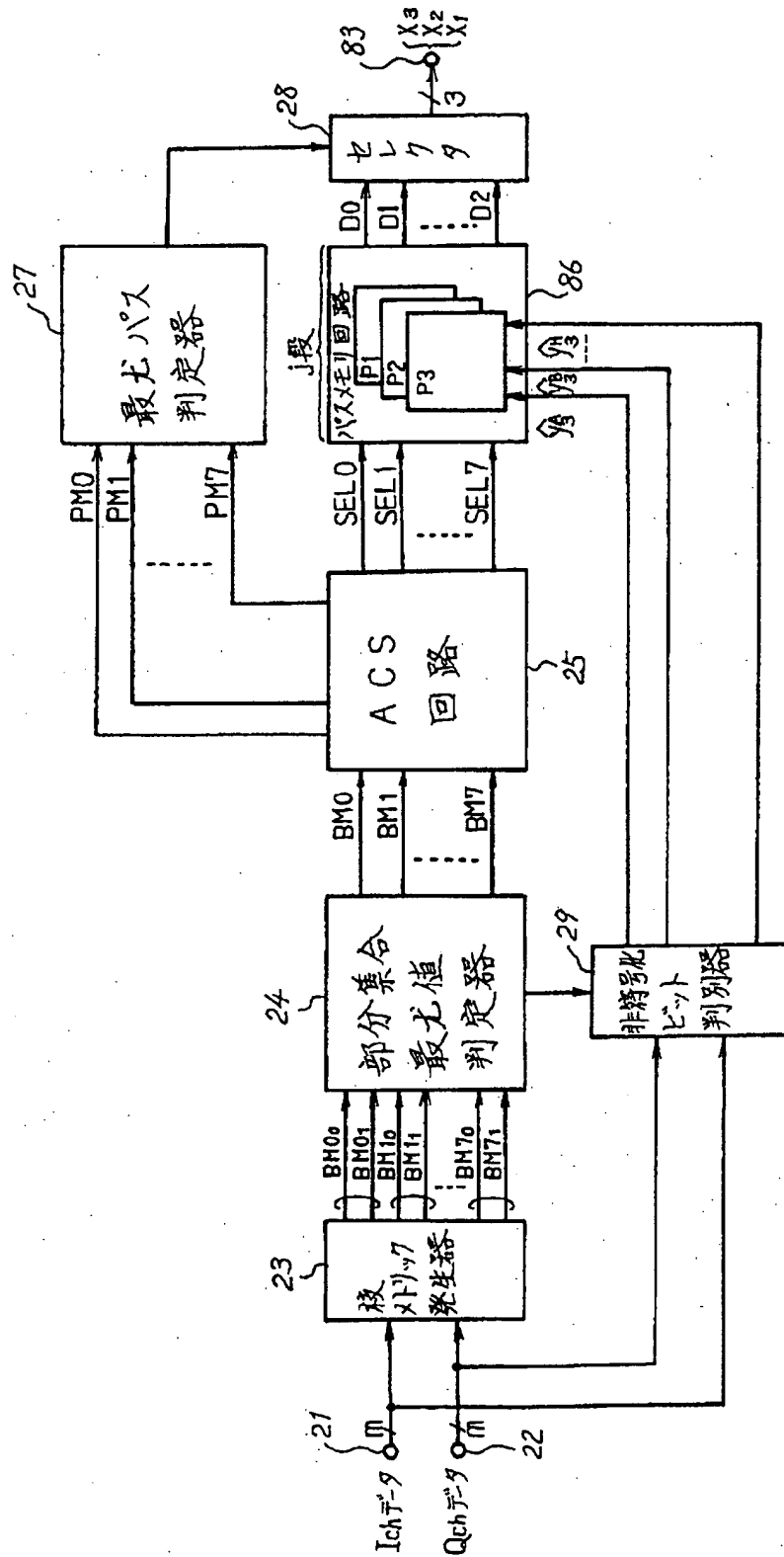
[図2]



【図7】



【図8】



【図9】

